

BEST AVAILABLE COPY

1/5/2

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

01974695

INTEGRATED MEMORY CIRCUIT HAVING BLOCK SELECTION

PUB. NO.: 61-188795 [JP 61188795 A]

PUBLISHED: August 22, 1986 (19860822)

INVENTOR(s): KOONERISU DEIITOUIN HAATOTHERINGU
FURANSU YAKOBU RISUTO

APPLICANT(s): PHILIPS GLOEILAMPENFAB NV [000982] (A Non-Japanese Company or
Corporation), NL (Netherlands)

APPL. NO.: 61-028768 [JP 8628768]

FILED: February 12, 1986 (19860212)

PRIORITY: 8500434 [NL 85434], NL (Netherlands), February 15, 1985
(19850215)

INTL CLASS: [4] G11C-011/34; G11C-007/00

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

⑫ 公開特許公報(A)

昭61-188795

⑬ Int.Cl.⁴
G 11 C 11/34
7/00

識別記号

庁内整理番号

7230-5B
6549-5B

⑭ 公開 昭和61年(1986)8月22日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 ブロック選択を有する集積メモリ回路

⑯ 特 願 昭61-28768

⑰ 出 願 昭61(1986)2月12日

優先権主張 ⑱ 1985年2月15日 ⑲ オランダ(NL) ⑳ 8500434

㉑ 発 明 者 コーネリス・デイト オランダ国5621 ベーアー アインドーフエン フルーネ
ウイン・ハートヘリン ヴアウツウェツハ1
グ㉒ 発 明 者 フランス・ヤコブ・リ オランダ国5621 ベーアー アインドーフエン フルーネ
スト ヴアウツウェツハ1㉓ 出 願 人 エヌ・ベー・フィリッ オランダ国5621 ベーアー アインドーフエン フルーネ
プス・フルーイランベ ヴアウツウェツハ1
ンフアブリケン

㉔ 代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 ブロック選択を有する集積メモリ回路

2. 特許請求の範囲

1. 複数のメモリブロックに分割され、これ等メモリブロックの夫々は列及び行に配されたメモリセルを有し、1つの行に配されたメモリセルは1つの行選択ラインに接続され、一方複数のメモリブロック内において、1つの列に配されたメモリセルは1つの列選択ラインと接続され、1つのメモリブロック内のメモリセルの1つの列は、列選択信号XSとブロック選択信号BSが加えられる1つの列選択論理ゲートを経て付勢可能な集積メモリ回路において、列選択論理ゲートは直列に接続された第1と第2トランジスタを有し、第1トランジスタの第1主電極はブロック選択信号BSを受け、その第2主電極は列選択ラインおよび第2トランジスタの第1主電極と接続され、この第2トランジスタの第2主電極は基準電

位点(群)と接続され、一方そのゲート電極は反転ブロック選択信号 \overline{BS} を受けるようにしたことを特徴とするブロック選択を有する集積メモリ回路。

2. 両トランジスタはNMOS電界効果トランジスタで、第1トランジスタはそのゲート電極に列選択信号XSを受ける特許請求の範囲第1項記載のメモリ回路。
3. 第2トランジスタはNMOS電界効果トランジスタで、第1トランジスタはそのゲート電極に反転列選択信号 \overline{XS} を受けるPMOS電界効果トランジスタである特許請求の範囲第1項記載のメモリ回路。
4. 列選択論理ゲートは別のNMOS電界効果トランジスタを有し、このトランジスタの両主電極は第2トランジスタの両主電極と接続され、そのゲート電極は反転列選択信号 \overline{XS} を受ける特許請求の範囲第3項記載のメモリ回路。
5. 主電極が第2トランジスタの主電極と接続された第3トランジスタを有し、第1トラン

ジスタはPMOS形で第2トランジスタと前記第3トランジスタはNMOS形であり、第2トランジスタのゲート電極は反転ブロック選択信号 \overline{BS} を受け、第1トランジスタと第3トランジスタのゲート電極には反転列選択信号 \overline{XS} が加えられる特許請求の範囲第1項記載のメモリ回路。

6. メモリ回路は列方向と行方向にブロックに分けられ、1つのブロック内の1つの行は、反転行選択信号 \overline{XS} 、ブロック選択信号 BS および反転ブロック選択信号 \overline{BS} が加えられる1つの行選択論理ゲートを経て付勢可能な特許請求の範囲第1項から第5項の何れか1項記載のメモリ回路。

7. 行選択論理ゲートと列選択論理ゲートとは同じである特許請求の範囲第6項記載のメモリ回路。

3. 発明の詳細な説明

本発明は、複数のメモリブロックに分割され、これ等メモリブロックの夫々は列及び行に配され

り方で、この反転ORゲートはこの場合反転ブロック選択信号および反転列選択信号 \overline{BS} および \overline{RS} を受けねばならない。けれどもCMOSトランジスタが用いられる場合には、この解決方もやはり大きくて遅いブロック選択回路を生じる。その理由は、PMOSトランジスタは(ANDゲートと)同じ電力容量を得るためには極めて広くなければならず、このため入力キャパシタンスが大きいからである。ORゲートのスイッチングは早いが、前記の入力キャパシタンスを充電するために多くの時間を要する。例えば256Kメモリではブロック選択信号 BS は256(またはメモリ構造に応じて512、1024)の列選択ゲートを並列に駆動せねばならない。

本発明の特徴とするところは、列選択論理ゲートは直列に接続された第1と第2のトランジスタを有し、第1トランジスタの第1主電極はブロック選択信号 BS を受け、その第2主電極は列選択ラインおよび第2トランジスタの第1主電極と接続され、この第2トランジスタの第2主電極は基準電位点(群)と接続され、一方そのゲート電極は

たメモリセルを有し、1つの行に配されたメモリセルは1つの行選択ラインに接続され、一方複数のメモリブロック内において、1列に配されたメモリセルは1つの列選択ラインと接続され、1つのメモリブロック内のメモリセルの1つの列は、列選択信号とブロック選択信号が加えられる1つの列選択論理ゲートを経て付勢可能な集積メモリ回路に関するものである。

この種のメモリ回路は「アイ・エス・エス・シー、ダイジェスト・オブ・テクニカル・ペーパーズ(ISSC, Digest of Technical Papers)」1983年2月の第58~59頁より知られている。この回路では、1つのメモリブロック内の1つのメモリセル列を選択するためにブロック選択信号 BS と列選択信号 RS がANDゲートに加えられる。実際には、反転ANDゲートは、出力が反転増幅器に接続されたANDゲートより成るので、この回路は大きく

(6トランジスタ) また遅い(2ゲート遅れに基づく)。別の方法は、1つのメモリブロック内の1つの列を1つの反転ORゲートによって選択するや

反転ブロック選択信号 \overline{BS} を受けるとしたことにある。

CMOSトランジスタを有する本発明の集積メモリ回路の好ましい実施例では、主電極が第2トランジスタの主電極と接続された第3トランジスタを有し、第1トランジスタはPMOS形で第2トランジスタと第3トランジスタはNMOS形であり、第2トランジスタのゲート電極は反転ブロック選択信号 \overline{BS} を受け、第1と第3トランジスタのゲート電極には反転列選択信号が加えられる。このようにメモリ回路は予じめ選択された列選択ラインを、反転ブロック選択信号 \overline{BS} で駆動される第2トランジスタを経て放電する必要がないという利点を有し、このことはデータの授受がより早いことを意味する。CMOSトランジスタ(PMOSトランジスタとNMOSトランジスタ)を用いることにより、メモリ回路のエネルギー損失が非常に少ないという公知の利点がある。

以下に本発明を図面の実施例によって更に詳しく説明する。

第1図はメモリセクションが8つのメモリブロック1～8に分けられたメモリ回路10を示す。各メモリブロックは、列と行に配され且つ行アドレスCAと列アドレスRAにより選択されるメモリセルを有する。列アドレスは列選択回路11に加えられ、行アドレスCAの最初の部分は行選択回路12aと12bに加えられる。行アドレスCAのそれ以上の部分はブロック選択回路13に加えられ、メモリブロック内のメモリセルは後述するようにアドレスCAとRAによって選択することができる。第1図よりわかるように、メモリセルは、行および列選択回路11、12a及び12bによってだけでなく、この目的で各メモリブロック1～8にそれぞれブロック選択信号BS1、 $\overline{BS1}$ ～BS8、 $\overline{BS8}$ を加えるブロック選択回路13によっても選択される。メモリ回路におけるこのようなアドレス指定の理由を第2図で説明する。

第2図は第1図のメモリ回路の詳細を示す。メモリブロック1、2～8は各メモリブロック内のメモリセルの行と列で示されている。ブロック1

の1列を著しく早く駆動することができる。多数のこのような選択論理ゲートPがメモリに存するので、即ちブロック毎に1列当り1個あるので、この選択論理ゲートPは(過度に)大きな表面積を必要とするものであってはならない。現状の技術では、これ等のゲートに対し、CMOSトランジスタの場合には6個のトランジスタを有するANDゲートが用いられる。このゲート回路は大きな集積表面積を必要とする。第2図のNORゲートは遙かに小さな表面積しか必要とせず、また第3図より明らかなように、含まれるトランジスタの数は著しく少ない。第3図に示した列選択論理ゲートP_jiは2つの直列のトランジスタ31と32を有し、トランジスタ32にはべつのトランジスタ33が並列に接続されている。トランジスタ32と33はNMOSトランジスタで、そのソースは基準電位(大地電位)VSSに接続されている。トランジスタ31はPMOSトランジスタである。トランジスタ31と32のゲート電極は反転列選択信号 $\overline{XS_i}$ を受け、トランジスタ33のゲート電極はブロック選択信号BS_jを受ける。

のメモリセルの列1は符号1C1で示してある。この列の第1セルは符号1C11で、第2セルは符号1C12で、以下同様にして示してある。以後のメモリブロックのセルおよび行の符号についても同様である。ブロックのメモリセルは次のようにして選ばれる、即ち、行ラインCA1またはCA2または……CANを経て各ブロック内の1つの行が駆動される。すべてのブロックのラインCA1は同じ回路で駆動できるが、代りに別々のバッファで駆動してもよい。1つのブロック内の1列のメモリセルの選択は、この目的列選択信号で $\overline{XS_1}$ または $\overline{XS_2}$ または…… $\overline{XS_m}$ を受ける選択論理ゲートPによって行われる。メモリブロックj(1≤j≤8)内にあり、該メモリブロックjの列iにある選択論理ゲートPは符号P_jiで示す。更に、ブロック選択信号BS_jと反転ブロック選択信号 $\overline{BS_j}$ もまた前記のゲート回路に加えられる。列選択信号 $\overline{XS_i}$ はすべての列1C1, 1C2, ……iCn(1≤i≤n)のすべてのメモリセルを駆動する必要はなくて複数(8)の選択論理ゲートPだけを駆動すればよいので、1つのブ

若しトランジスタ31がNMOSトランジスタならば、このトランジスタはそのゲート電極に非反転列選択信号を受けるべきである。信号BS_jが「高」で信号 $\overline{XS_i}$ が「低」の時には、ブロックjの列iを付勢する列選択ラインL_jiは「高」信号を送ることは明らかであろう。この列選択ラインL_jiの信号は、信号BS_jが「高」かまたは信号 $\overline{XS_i}$ が「高」の場合には「低」である。図示の選択論理ゲートP_jiの実施形態では、トランジスタ31は8マイクロメートルのチャネル巾、トランジスタ32は4マイクロメートルのチャネル巾およびトランジスタ33は2マイクロメートルのチャネル巾を有する。このように小さなゲート回路は信号BS_j、 $\overline{BS_j}$ および $\overline{XS_i}$ のラインに対して低容量性負荷を表わすことは明らかであるから、これ等のゲート回路は僅かな遅延しか生ぜず、このことは言うまでもなく有利である。

若しブロック選択信号BS_jがメモリセルの各選択の後およびこれに引続く同一ブロック内の別の列のメモリセルの選択前に短期間「低」にされ、

このため列選択ラインが放電されるならば、トランジスタ32は無くてもよいことに注意すべきである。たとえ選択論理ゲートPj1がかくして僅かに更に小さくされても、ブロック選択信号BSjを「低」(BSjは「高」)にする必要のためにメモリの動作速度が減少し、このことは云う迄もなく望ましいことでない。

更に、以上の説明は列方向への分割のみに関するものであるが(各列選択ラインは實際上それぞれのブロック内において多数の列選択ラインで置き換えられる)、同様な分割を行方向に行えることができることにも留意すべきである。

メモリをブロック選択で分割(列および/または行方向)することは特に128Kビットまたはそれ以上(256Kビット等)に対して魅力的である。以上の「列」および「行」と云う言葉は互換性があるものであることは明らかであろう。

4. 図面の簡単な説明

第1図は本発明のブロック選択を有するメモリ回路のブロック図、

第2図は第1図のメモリブロックの詳細図、

第3図は第2図のメモリブロックのゲート回路の一実施例である。

1～8…メモリブロック

11…列解読回路 12a, 12b…行解読回路

13…ブロック選択回路 31…第1トランジスタ

32…第3トランジスタ 33…第2トランジスタ

1C1～8C1…メモリセルの列

$\overline{BS1} \sim \overline{BS8}$ …ブロック選択信号

BS1～BS8…反転ブロック選択信号

CA1～CAN…行ライン

L11～L8m…列選択ライン

P11～P8m…列選択論理ゲート

XS1～XS_m…列選択信号

$\overline{XS1} \sim \overline{XS_m}$ …反転列選択信号

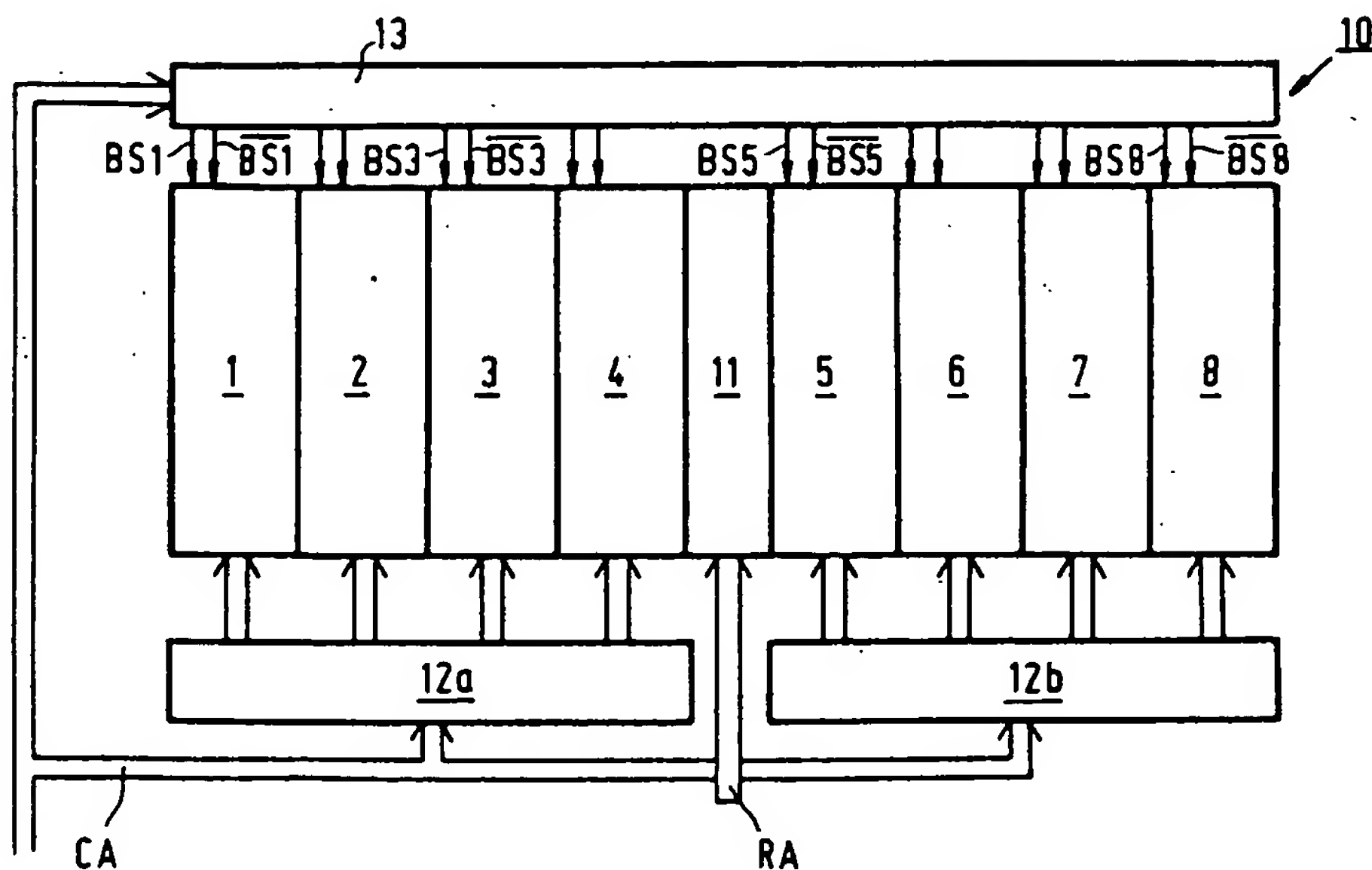


FIG. 1

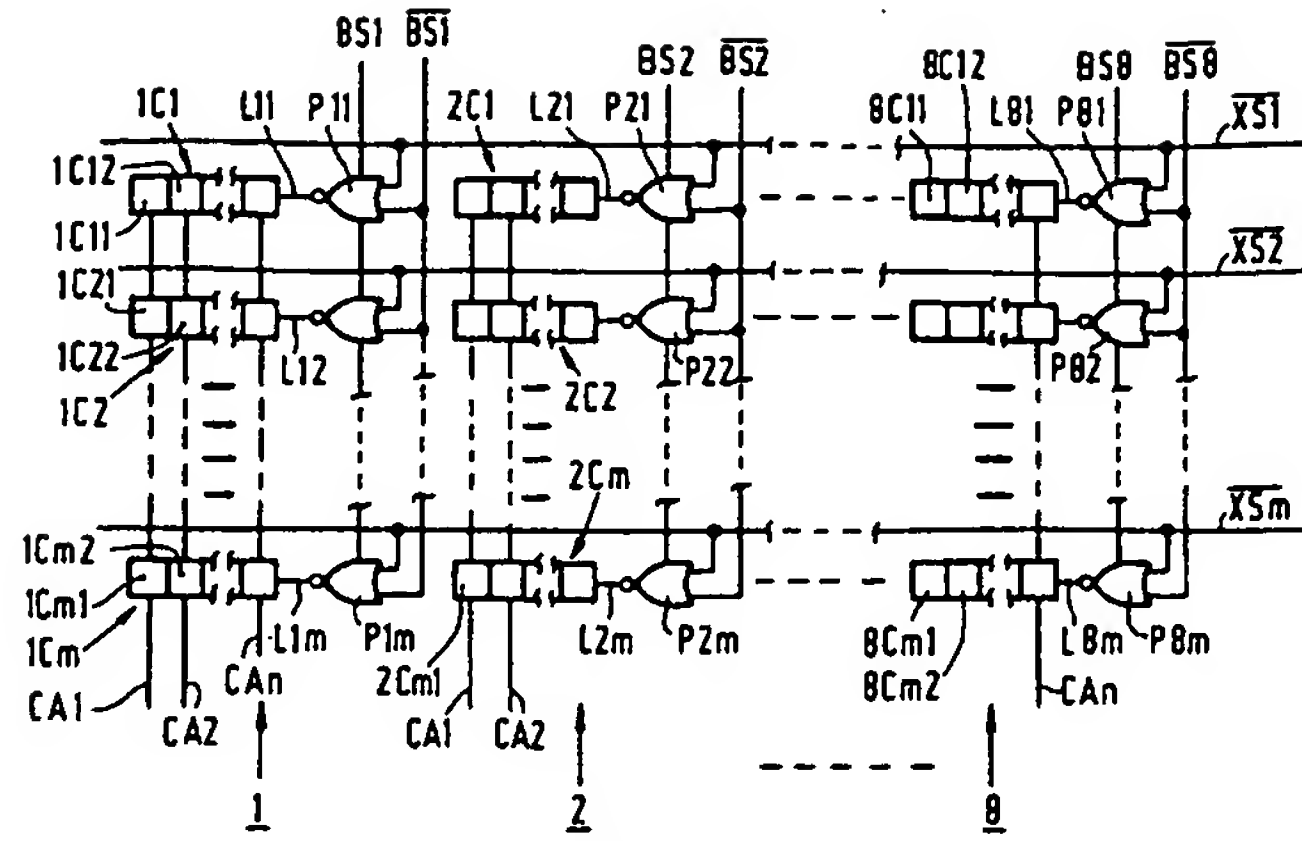


FIG. 2

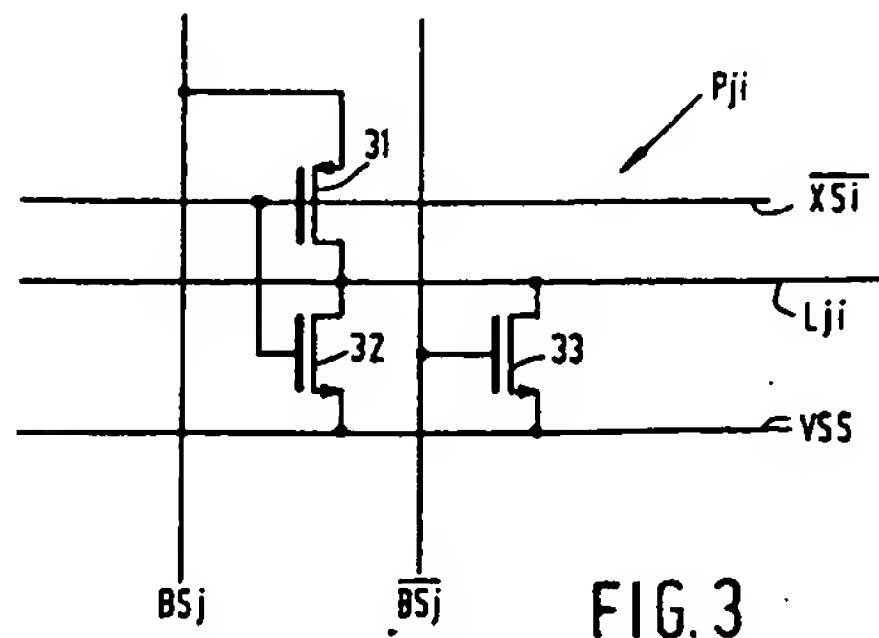


FIG. 3

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.